

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150429

(P2000-150429A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

識別記号

F I

テーマコード^{*} (参考)

H 0 1 L 21/301
21/768

H 0 1 L 21/78
21/90

Q 5 F 0 3 3
J

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平10-318571

(22) 出願日

平成10年11月10日 (1998. 11. 10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松浦 正純

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

Fターム (参考) 5F033 HH09 HH11 JJ01 JJ09 JJ11

KK09 KK11 MM02 PP06 PP18

PP26 QQ48 RR01 RR04 RR11

RR24 RR25 TT02 TT04 VV01

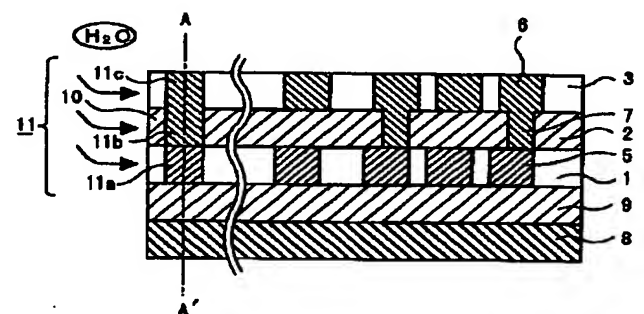
XX18

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 製造工程を増加することなく外気中の水の侵入を防止することができ、低誘電率膜からなる層間絶縁膜を用いた半導体装置においても良好な特性を有する半導体装置およびその製造方法を提供する。

【解決手段】 第1の金属配線5とともにバリア層11aを形成し、接続孔部7および第2の配線層6とともに、バリア層11a上にバリア層11b, 11cを形成することにより、シリコン基板上的多層配線層部5, 6, 7とダイシングライン部10との間に、バリア層11を多層配線層部5, 6, 7と同時に形成する。



1: 第1の層間絶縁膜

2: 第2の層間絶縁膜

3: 第3の層間絶縁膜

5: 第1の金属配線

6: 第2の金属配線

7: 接続孔部

8: シリコン基板

9: 素子を含む下部絶縁層

10: ダイシングライン

11a, 11b, 11c, 11: バリア層

1

【特許請求の範囲】

【請求項 1】 シリコン基板上に素子部および配線部を設け、上記配線部が絶縁膜と上記絶縁膜中に埋め込まれた金属とを備え、上記シリコン基板をダイシングラインによって切断し、上記素子部および配線部を含む半導体チップに分割する半導体装置において、上記配線部の絶縁膜の延長部で、上記ダイシングラインと上記配線部との間に上記金属からなるバリア層を備えたことを特徴とする半導体装置。

【請求項 2】 配線部が複数層の絶縁膜を有し、上記複数層の絶縁膜すべてにバリア層を備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 配線部が複数層の絶縁膜を有し、複数層の絶縁膜のうちの低誘電率材料からなる絶縁膜にバリア層を備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 シリコン基板上に素子部を形成し、上記素子部上に配線部を形成し、上記シリコン基板をダイシングラインによって切断し、上記素子部および配線部を含む半導体チップに分割する半導体装置の製造方法において、

上記素子部上に第 1 の層間絶縁膜を形成する工程と、上記第 1 の層間絶縁膜に第 1 の配線用の溝を形成するとともに、上記ダイシングラインと上記配線部との間に第 1 のバリア層用の溝を形成する工程と、上記第 1 の配線用の溝および上記第 1 のバリア層用の溝に金属膜を埋め込み、上記第 1 の金属配線を形成するとともに第 1 のバリア層を形成する工程と、上記第 1 の層間絶縁膜上に第 2 の層間絶縁膜と第 3 の層間絶縁膜とを順次形成する工程と、上記第 2 の層間絶縁膜に接続孔を形成し、上記第 3 の層間絶縁膜に第 2 の配線用の溝を形成するとともに、上記第 1 のバリア層上の上記第 2 の層間絶縁膜に第 2 のバリア層用の溝を形成し、上記第 1 のバリア層上の上記第 3 の層間絶縁膜に第 3 のバリア層用の溝を形成する工程と、上記接続孔と上記第 2 の配線用の溝と上記第 2 および第 3 のバリア層用の溝とに金属膜を埋め込み、接続孔部と上記第 2 の金属配線を形成するとともに、第 2 および第 3 のバリア層を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 5】 第 1 の層間絶縁膜上に第 2 の層間絶縁膜と第 3 の層間絶縁膜とを順次形成する工程と、上記第 2 の層間絶縁膜に接続孔を形成し、上記第 3 の層間絶縁膜に第 2 の配線用の溝を形成するとともに、第 1 のバリア層上の上記第 2 の層間絶縁膜に第 2 のバリア層用の溝を形成し、上記第 1 のバリア層上の上記第 3 の層間絶縁膜に第 3 のバリア層用の溝を形成する工程と、上記接続孔と上記第 2 の配線用の溝と上記第 2 および第 3 のバリア層用の溝とに金属膜を埋め込み、接続孔部と第 2 の金属配線を形成するとともに、第 2 および第 3 のバリア層を形成する工程と、を繰り返し行うことにより配線層を積層す

2

ることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 第 1 のバリア層は第 1 の金属配線と同じパターンの配線用の溝で形成し、第 2 のバリア層は接続孔部と同じパターンの接続孔で形成し、第 3 のバリア層は第 2 の金属配線と同じパターンの配線用の溝で形成するようにしたことを特徴とする請求項 4 または 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置およびその製造方法に関し、特にダイシングライン部の構造およびその製造方法に関するものである。

【0002】

【従来の技術】 サブクォーターミクロン世代以降のロジックデバイスにおいては、デバイスの高速化を実現するためにデバイスの信号遅延を低減することが重要である。このデバイスの信号遅延はトランジスタの信号遅延と配線遅延との和で表されるが、配線ピッチの縮小が急速に進むにつれてトランジスタの信号遅延より配線遅延の影響の方が大きくなってきている。配線遅延は RC の積（抵抗）×（層間容量）に比例するため、配線遅延の低減のためには、配線抵抗あるいは層間絶縁膜の容量を低減することが必要である。

【0003】 このため低誘電率層間膜の検討が盛んに行われており、Proceedings of the International Interconnect Technology Conference 1998 には低誘電率層間膜を適用した埋込み配線プロセスによる多層配線構造が示されている。埋込み配線プロセスとは層間膜となる絶縁層に配線溝や接続孔を形成し、その中に金属配線を埋め込むことにより配線構造を形成するものである。

【0004】 図 7 は低誘電率層間膜を適用した埋込み配線プロセスによる多層配線構造を示す断面図である。図において、1 は第 1 の層間絶縁膜、2 は第 2 の層間絶縁膜、3 は第 3 の層間絶縁膜、4 は第 4 の層間絶縁膜であり、第 1 の層間絶縁膜 1 と第 4 の層間絶縁膜 4 とはシリコン酸化膜で形成されており、第 2 の層間絶縁膜 2 と第 3 の層間絶縁膜 3 とは低誘電率膜で形成されている。

【0005】 更に第 1 の層間絶縁膜 1 と第 3 の層間絶縁膜 3 とには配線溝を形成して第 1 の層間絶縁膜 1 には第 1 の金属配線 5 を、第 3 の層間絶縁膜 3 には第 2 の金属配線 6 を埋め込んでおり、第 2 の層間絶縁膜 2 に接続孔を形成し、金属膜を充填することにより接続孔部 7 を形成し第 1 の金属配線 5 と第 2 の金属配線 6 とを接続している。半導体装置はこの後ウエハ状態からチップ状に分割、切断することにより最終形状となる。この切断に使用される切断路がダイシングラインである。また、第 1 の金属配線 5 が形成されている第 1 の層間絶縁膜 1 に低誘電率膜を用いることも可能である。

【0006】 図 8 は低誘電率層間膜を適用した埋込み配

3

線プロセスによる多層配線構造のダイシングライン部の従来の構造を示す断面図である。図7と同様のものについては同じ番号を付して、詳細な説明は省略する。ただし、図8では1は第1の層間絶縁膜1であるが、低誘電率膜で形成され、第2の層間絶縁膜2はシリコン酸化膜で形成されている。8はシリコン基板、9は素子を含む下部絶縁層、10はダイシングライン部である。

【0007】

【発明が解決しようとする課題】埋込み配線プロセスによる多層配線構造のダイシングライン部の従来の構造は以上のものであり、図8に示すように、ダイシングライン部10の切断面には第1の層間絶縁膜1および第3の層間絶縁膜3を構成している低誘電率膜が露出することになる。

【0008】この低誘電率膜を構成している低誘電率材料は密度が小さくポーラスな構造であるため、膜中に外気からの水が侵入しやすい。このため、ダイシングライン部10の露出した低誘電率膜の切断面を通して外気中の水が半導体装置の内部に侵入し、半導体装置に内在するトランジスタ素子の特性変動を引き起こしたり、金属配線を腐食したりするという問題点があった。

【0009】また、ダイシングライン部における耐湿膜の形成は、例えば特開平7-335590号公報に開示されているが、これは新たな製造工程を付加しなくてはならず製造工程数の増加という問題点があった。

【0010】この発明は上記の様な問題点を解消するためになされたもので、製造工程を増加することなく外気中の水の侵入を防止することができ、低誘電率膜からなる層間絶縁膜を用いた半導体装置においても良好な特性を有する半導体装置およびその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、配線部の絶縁膜の延長部で、ダイシングラインと上記配線部との間に金属からなるバリア層を備えるようにしたものである。

【0012】この発明の請求項2に係る半導体装置は、配線部が複数層の絶縁膜を有し、上記複数層の絶縁膜すべてにバリア層を備えるようにしたものである。

【0013】この発明の請求項3に係る半導体装置は、配線部が複数層の絶縁膜を有し、複数層の絶縁膜のうちの低誘電率材料からなる絶縁膜にバリア層を備えるようにしたものである。

【0014】この発明の請求項4に係る半導体装置の製造方法は、素子部上に第1の層間絶縁膜を形成する工程と、上記第1の層間絶縁膜に第1の配線用の溝を形成するとともに、ダイシングラインと配線部との間に第1のバリア層用の溝を形成する工程と、上記第1の配線用の溝および上記第1のバリア層用の溝に金属膜を埋め込み、上記第1の金属配線を形成するとともに第1のバリア

4

層を形成する工程と、上記第1の層間絶縁膜上に第2の層間絶縁膜と第3の層間絶縁膜とを順次形成する工程と、上記第2の層間絶縁膜に接続孔を形成し、上記第3の層間絶縁膜に第2の配線用の溝を形成するとともに、上記第1のバリア層上の上記第2の層間絶縁膜に第2のバリア層用の溝を形成し、上記第1のバリア層上の上記第3の層間絶縁膜に第3のバリア層用の溝を形成する工程と、上記接続孔と上記第2の配線用の溝と上記第2および第3のバリア層用の溝とに金属膜を埋め込み、接続孔部と上記第2の金属配線を形成するとともに、第2および第3のバリア層を形成する工程と、を備えるようにしたものである。

【0015】この発明の請求項5に係る半導体装置の製造方法は、第1の層間絶縁膜上に第2の層間絶縁膜と第3の層間絶縁膜とを順次形成する工程と、上記第2の層間絶縁膜に接続孔を形成し、上記第3の層間絶縁膜に第2の配線用の溝を形成するとともに、第1のバリア層上の上記第2の層間絶縁膜に第2のバリア層用の溝を形成し、上記第1のバリア層上の上記第3の層間絶縁膜に第3のバリア層用の溝を形成する工程と、上記接続孔と上記第2の配線用の溝と上記第2および第3のバリア層用の溝とに金属膜を埋め込み、接続孔部と第2の金属配線を形成するとともに、第2および第3のバリア層を形成する工程と、を繰り返すことにより配線層を積層するようにしたものである。

【0016】この発明の請求項6に係る半導体装置の製造方法は、第1のバリア層は第1の金属配線と同じパターンの配線用の溝で形成し、第2のバリア層は接続孔部と同じパターンの接続孔で形成し、第3のバリア層は第2の金属配線と同じパターンの配線用の溝で形成するようにしたものである。

【0017】

【発明の実施の形態】実施の形態1. 図1はこの発明の半導体装置の構造を示す断面図である。図1において、8はシリコン基板、9はシリコン基板8上に形成された素子を含む下部絶縁層、1は低誘電率材料で形成された第1の層間絶縁膜、2はシリコン酸化膜で形成された第2の層間絶縁膜、3は低誘電率材料で形成された第3の層間絶縁膜、5は第1の層間絶縁膜1に埋め込まれた第1の金属配線、6は第3の層間絶縁膜3に埋め込まれた第2の金属配線、7は第2の層間絶縁膜2に埋め込まれた接続孔部、10はダイシングライン、11a、11b、11cは第1、第2、第3の層間絶縁膜に形成されたバリア層である。

【0018】図2(a)～(d)はその製造方法を示す工程断面図であり、図にしたがって順次説明を行う。まず、図2(a)に示すように、シリコン基板8上にトランジスタなどの素子部(図示なし)を含む下部層間絶縁膜9を形成する。その後、下部層間絶縁膜9上に第1の層間絶縁膜1を形成する。この第1の層間絶縁膜1は通

10

20

30

40

50

常、配線間の容量を低減することを目的として低誘電率材料で形成されている。

【0019】この低誘電率材料は例えば、水素化シルセスキオキサン (Hydrogen Silsesquioxane)、メチルシルセスキオキサン (Methyl Silsesquioxane)、アリルエーテル (Arylether)、ベンゾシクロブテン (Benzocyclobutene)、ポリテトラフルオロエチレン (Polytetrafluoroethylene) やポーラスシリカであるキセロゲル (Xerogel)、エアロゲル (Aerogel) などの回転塗布法で形成される材料およびフッ素化シリコン酸化膜、フッ素化アモルファスカーボン、パリレン (Parylene) などの

CVD (Chemical Vapor Deposition) 法で形成される材料であり、比誘電率は1.8から3.5くらいである。

【0020】次に、図2 (b) に示すように、第1の層間絶縁膜1に配線を埋め込む配線溝を形成するとともに、バリア層11aとなる配線溝を形成する。その溝に金属膜を埋込み、更に第1の層間絶縁膜1上の余分な金属膜をCMP (Chemical Mechanical Polishing) 法により除去し、第1の金属配線5およびバリア層11aを形成する。

【0021】このとき、バリア層11aは、後に形成されるダイシングライン10の近傍で、半導体回路部から10 μ m程度離れた位置に幅1 μ m程度の大きさに形成する。また、金属膜の埋込みに使用するプロセスにはスパッタ法で成膜後、熱処理により金属膜を軟化させて埋め込むリフロー法や、CVD法、メッキ法などがある。また、金属の種類としては一般にアルミ合金や銅などが使用される。

【0022】次に、図2 (c) に示すように、全面に第2の層間絶縁膜2を形成し、引き続き第3の層間絶縁膜3を形成する。ここでは第2の層間絶縁膜2はプラズマCVD法で形成したシリコン酸化膜からなり、第3の層間絶縁膜3は第1の層間絶縁膜1と同様な低誘電率材料からなる。この場合、シリコン酸化膜の比誘電率は4.4であり、低誘電率膜と比較して大きい。

【0023】次に、図2 (d) に示すように、第2の層間絶縁膜2に接続孔を、第3の層間絶縁膜3に配線溝を形成するとともに、第2および第3の層間絶縁膜2、3に、バリア層11a上でかつバリア層11aと同一の幅にバリア層11b、11cとなる配線溝を形成する。その後、第1の金属配線5を形成したのと同様にして、第2の層間絶縁膜2と第3の層間絶縁膜3とに金属膜を充填し、第2の金属配線層6と接続孔部7とバリア層11b、11cとを形成する。この結果、接続孔部7および金属配線6を簡単に製造することができ、半導体回路部が形成されるとともに、バリア層11a、11b、11cが形成される。更に、バリア層11a、11b、11cは一体となってバリア層11を形成する。

【0024】その後、図2 (c) (d) の工程を何回か繰り返すことによって、金属配線を積層する。最後に、

パッシベーション膜 (図示なし) で表面を覆うことによって、ウエハプロセスを完了する。ウエハプロセス完了後、バリア層11より外側をダイシングライン10で切断し、半導体チップに分割することにより図1の半導体装置が完成する。

【0025】図3はこの発明の半導体チップの平面図である。図3において、12は半導体回路部であり、バリア層11はダイシングライン10と半導体回路部12との間で、半導体回路部から10ミクロン程度離れて形成されており、半導体回路部12の周りを囲むように配置されている。このため、半導体チップの側面全部において水の侵入を防止することができる。

【0026】また、図4は図1のA-A'面で切断したときの断面図である。図4に示すように、バリア層11は第1から第3の層間絶縁膜1、2、3すべての側面を覆うように形成されており、外気からの水の侵入を十分に防止することができる。これは、層間絶縁膜がすべて低誘電率材料で形成されている場合において特に有効である。

【0027】この様に半導体装置の製造工程である金属配線5、6および接続孔部7とともにバリア層11を形成するようにしたので、製造工程を増やすことなく、外気からの水の侵入を十分に防止することができる。

【0028】実施の形態2。図5 (a) (b) は実施の形態2の半導体装置の断面図である。図5 (a) は実施の形態1と同様にして図2 (a) ~ (c) の工程を経た後、第3の層間絶縁膜3に配線溝を形成するとともに、第3の層間絶縁膜3に、バリア層11a上でかつバリア層11aと同一の幅にバリア層11cとなる配線溝を形成する。その後、第1の金属配線5を形成したのと同様にして、第3の層間絶縁膜3に金属膜を充填し、第2の金属配線層6とバリア層11cとを形成する。

【0029】図5 (b) は図5 (a) のA-A'面で切断したときの断面図である。図5 (b) に示すように、バリア層11は第1と第3の層間絶縁膜1、3の側面を覆うように形成されている。

【0030】この場合、層間絶縁膜が低誘電率材料で形成されている第1と第3の層間絶縁膜1、3の側面をバリア層11a、11cで覆うことにより、製造工程を増やすことなく、外気からの水の侵入を防止することができる。さらに、バリア層11と層間絶縁膜との接着力は低いので、バリア層11と層間絶縁膜とが剥離するという事が考えられるが、バリア層11である金属膜が層間絶縁膜と接している面積を、実施の形態1に比べて小さくすることができ、バリア層11と層間絶縁膜との接触面の剥離を防止できる。

【0031】実施の形態3。図6 (a) (b) は実施の形態3の半導体装置の断面図である。図6 (a) は実施の形態1と同様にして図2 (a) ~ (c) の工程を経た後、第2の層間絶縁膜2に接続孔を、第3の層間絶縁膜

7

3に配線溝を形成するとともに、バリア層11a上で、第2の層間絶縁膜2にバリア層11bとなる接続孔を形成し、第3の層間絶縁膜3にバリア層11cとなる配線溝を形成する。その後、第1の金属配線5を形成したのと同様に、第2の層間絶縁膜2と第3の層間絶縁膜3とに金属膜を充填し、第2の金属配線層6と金属膜7とバリア層11b、11cとを形成する。従って、配線工程と同一の工程でバリア層を形成することができる。

【0032】図6(b)は図6(a)のA-A'面で切断したときの断面図である。図6(a)(b)に示すように、実施の形態2と同様の効果を有するとともに、半導体装置の製造工程と全く同一のパターンを使用してバリア層11を形成しているため、バリア層11をより簡単に形成することができる。

【0033】

【発明の効果】以上のようにこの発明によれば、配線部の絶縁膜の延長部で、ダイシングラインと上記配線部との間に金属からなるバリア層を備えるようにしたので、ダイシングラインから半導体回路部に外気の水が侵入することを防止することができる。

【0034】また、配線部が複数層の絶縁膜を有し、上記複数層の絶縁膜すべてにバリア層を備えるようにしたので、半導体チップの側面全部において水の侵入を防止することができる。

【0035】また、配線部が複数層の絶縁膜を有し、複数層の絶縁膜のうちの低誘電率材料からなる絶縁膜にバリア層を備えるようにしたので、ダイシングラインにおける外気からの水の侵入を防止することができ、バリア層である金属膜が絶縁膜と接している面積を小さくすることができ、バリア層の絶縁膜からの剥離を防止できる。

【0036】さらに、この発明の半導体装置の製造方法は、素子部上に第1の層間絶縁膜を形成する工程と、上記第1の層間絶縁膜に第1の配線用の溝を形成するとともに、ダイシングラインと配線部との間に第1のバリア層用の溝を形成する工程と、上記第1の配線用の溝および上記第1のバリア層用の溝に金属膜を埋め込み、上記第1の金属配線を形成するとともに第1のバリア層を形成する工程と、上記第1の層間絶縁膜上に第2の層間絶縁膜と第3の層間絶縁膜とを順次形成する工程と、上記第2の層間絶縁膜に接続孔を形成し、上記第3の層間絶縁膜に第2の配線用の溝を形成するとともに、上記第1のバリア層上の上記第2の層間絶縁膜に第2のバリア層用の溝を形成し、上記第1のバリア層上の上記第3の層間絶縁膜に第3のバリア層用の溝を形成する工程と、上記接続孔と上記第2の配線用の溝と上記第2および3のバリア層用の溝とに金属膜を埋め込み、接続孔部と上記第2の金属配線を形成するとともに、第2および3のバリア層を形成する工程と、を備えるようにしたので、半

8

導体回路部を製造するのと同時に、製造工程を増加させることなくバリア層を形成することができ、半導体回路部を製造する際に、簡単な製造方法を使用することができる。

【0037】また、第1の層間絶縁膜上に第2の層間絶縁膜と第3の層間絶縁膜とを順次形成する工程と、上記第2の層間絶縁膜に接続孔を形成し、上記第3の層間絶縁膜に第2の配線用の溝を形成するとともに、第1のバリア層上の上記第2の層間絶縁膜に第2のバリア層用の溝を形成し、上記第1のバリア層上の上記第3の層間絶縁膜に第3のバリア層用の溝を形成する工程と、上記接続孔と上記第2の配線用の溝と上記第2および3のバリア層用の溝とに金属膜を埋め込み、接続孔部と第2の金属配線を形成するとともに、第2および3のバリア層を形成する工程と、を繰り返すことにより配線層を積層するようにしたので、配線層の積層数が増加しても工程数を増加させることなく容易にバリア層を形成することができる。

【0038】また、第1のバリア層は第1の金属配線と同じパターンで形成し、第2のバリア層は接続孔部と同じパターンで形成し、第3のバリア層は第2の金属配線と同じパターンで形成するようにしたので、半導体回路部と同一パターンを使用してバリア層を形成でき、バリア層を非常に簡単に形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置の構造を示す断面図である。

【図2】 この発明の半導体装置の製造方法を示す工程断面図である。

【図3】 この発明の半導体チップの平面図である。

【図4】 図1のA-A'面で切断したときの断面図である。

【図5】 この発明の実施の形態2の半導体装置の構造を示す断面図である。

【図6】 この発明の実施の形態2の半導体装置の構造を示す断面図である。

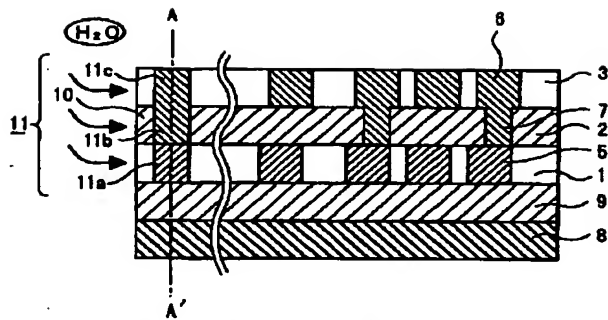
【図7】 低誘電率層間膜を適用した埋込み配線プロセスによる多層配線構造を示す断面図である。

【図8】 低誘電率層間膜を適用した埋込み配線プロセスによる多層配線構造のダイシングライン部の従来の構造を示す断面図である。

【符号の説明】

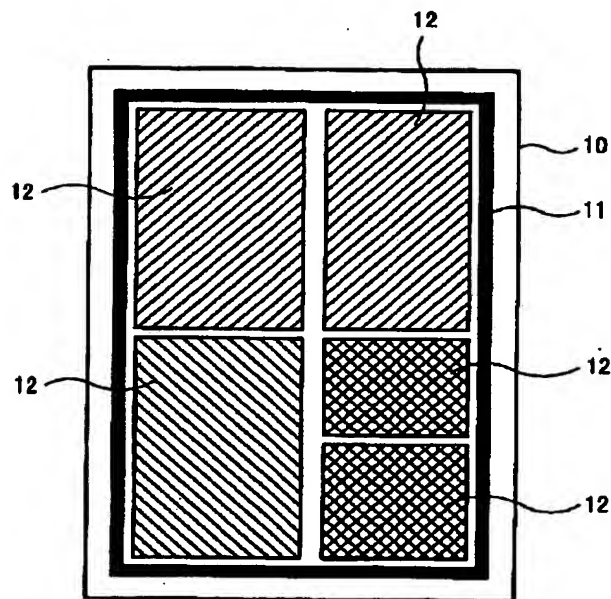
1 第1の層間絶縁膜、2 第2の層間絶縁膜、3 第3の層間絶縁膜、5 第1の金属配線、6 第2の金属配線、7 接続孔部、8 シリコン基板、9 素子を含む下部絶縁層、10 ダイシングライン、11、11a、11b、11c バリア層。

【図1】

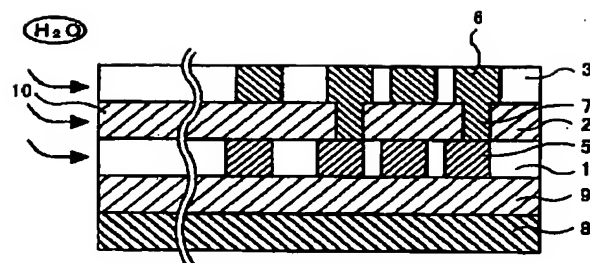


- 1: 第1の層間絶縁膜
2: 第2の層間絶縁膜
3: 第3の層間絶縁膜
5: 第1の金属配線
6: 第2の金属配線
7: 接続孔部
8: シリコン基板
9: 素子を含む下部絶縁層
10: ダイシングライン
11a, 11b, 11c, 11: バリア層

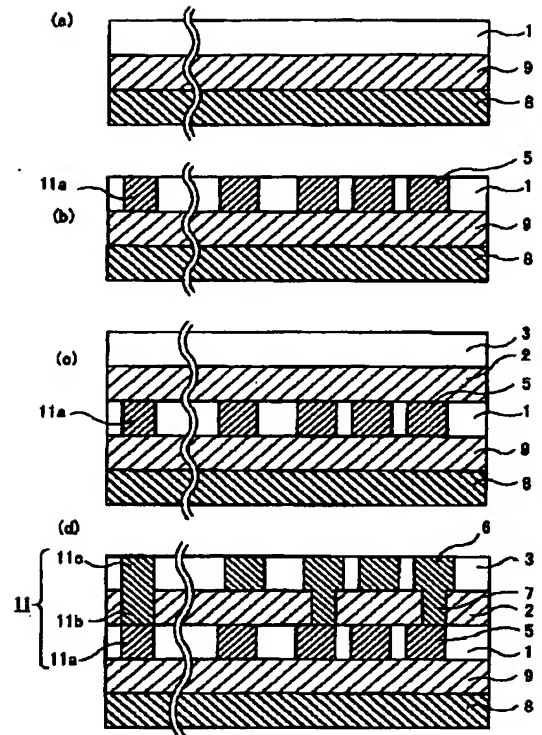
【図3】



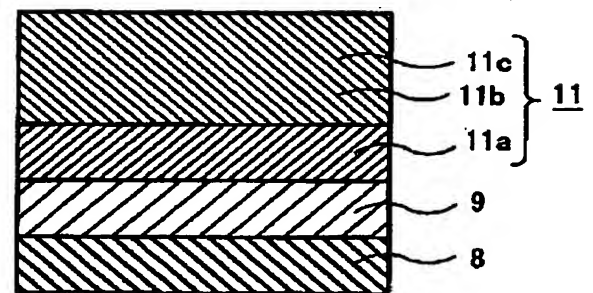
【図8】



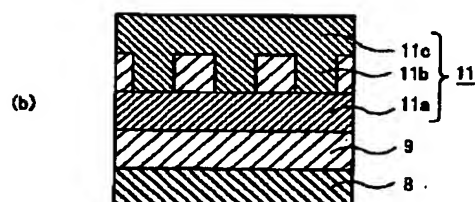
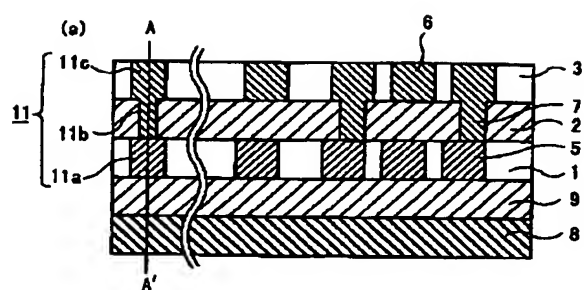
【図2】



【図4】



【图 6】



【圖 7】

